

BEST AVAILABLE COPY

• (54) CHIP FOR FACE DOWN BONDING AND PRODUCTION THEREOF

(11) 57-73952 (A) (43) 8.5.1982 (19) JP

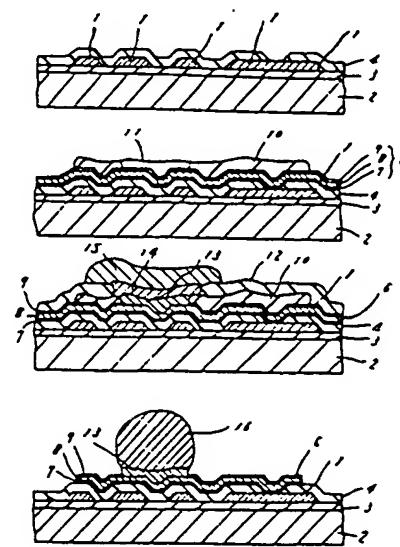
(21) Appl. No. 55-149404 (22) 27.10.1980

(71) HITACHI SEISAKUSHO K.K. (72) TOORU KAWANOBE(1)

(51) Int. Cl³. H01L21/92

PURPOSE: To make a chip for wire bonding for common use and to reduce production costs by a method wherein a metal conductive layer which is corrosion resistant and to be connected to the pad part of a wiring layer is formed and extended to the desired region on a passivation film and a bump is provided on the conductive layer.

CONSTITUTION: A passivation film 4 (plasma nitrified film) is piled on the whole surface of a wafer 2 where a circuit element and a wiring layer 1 have been formed, while an opening is made in a bonding pad part. Next a conductive layer 6 consisting of, for instance, a Ti layer 7, a Cu layer 8 and a Ti layer 9 is deposited in order by evaporation and then coated with polyimide resins. After this, a mask 10 in which a bump hole 11 and the unnecessary region of the conductive layer 6 have been etched is provided. Next the whole region excluding the hole 11 is covered with a photoresist mask 12 and the exposed Ti layer 9 is etched. Then an Ni layer 13, an Sn layer 14 and a Pb layer 15 are plated in order. Next after the resist mask 12 is removed to form a bump 16 by means of heat processing, the unnecessary conductive layer 6 and the mask layer 10 are removed in order by etching them. By so doing, it becomes unnecessary to particularly design a chip for facing down, thus reducing production costs.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57-73952

⑫ Int. Cl.³
H 01 L 21/92

識別記号

府内整理番号
7638-5F

⑬ 公開 昭和57年(1982)5月8日

発明の数 2
審査請求 未請求

(全4頁)

④ フェースダウンボンディング用チップおよび
その製造方法

⑤ 発明者 宮本圭二
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑥ 特願 昭55-149404

⑦ 出願 昭55(1980)10月27日

⑧ 発明者 川野辺徹
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑨ 代理人 弁理士 薄田利幸

明細書

発明の名称 フェースダウンボンディング用チップ
およびその製造方法

特許請求の範囲

1. 技術部に回路基子を形成した基板と、この基板上に第1絶縁膜を介して部分的に形成した配線層と、前記配線層の接続部以外の配線層部分および第1絶縁膜を被う第2絶縁膜と、一部が前記接続部と接触しかつ前記第2絶縁膜上に延びる耐食性金属からなる導電層と、この導電層上に形成したパンプ電極とからなるフェースダウンボンディング用チップ。

2. ウエハ技術部に回路基子を形成した後、配線層を形成し、さらに配線層におけるボンディングパッド領域以外の基板表面をバッキンペーパン膜で被う工程と、一部がボンディングパッド上に載るとともに耐食性金属の導電層を形成し、かつ前記導電層の耐電端にパンプ電極を形成する工程とからなるフェースダウンボンディング用チップの製造方法。

発明の詳細な説明

本発明はフェースダウンボンディング用チップおよびその製造方法に関する。

半導体装置において、回路基子を形成したチップの電極と外部端子とを直接接続する構造が知られている。この接続はチップの電極を形成した正面を下方に向て外部端子に接続することから一般にフェースダウンボンディングと呼ばれている。フェースダウンボンディング用のチップは基板の正面にパンプ電極と呼ぶ高く盛り上った電極を有しているが、このパンプ電極は大きい周波数サイクルの寿命が長くなる特長を有している。この結果、パンプ電極間隔は広くならざるを得ない。

一方、チップの電極と外部端子とを細いワイヤで接続する方法としてワイヤボンディング方法が知られている。これは、ボンディングツールでワイヤを保持した後、被接続面にワイヤを熱圧着によって押し付けたり、あるいは超音波振動を生じさせながら圧着することによってワイヤの接続を図る方法である。この方法に用いるチップにあ

ては、ワイヤが細いことと接続部があり大きくないことから電極(ポンディングパッドあるいはパッドとも呼ぶ)の大きさはたとえば $100\mu\text{m}$ 程度と小さく、かつパッド間隔は最短で $200\mu\text{m}$ 程度となる。この結果、パッド間隔が狭い場合は直接パッド上にバンプ電極を作ることはできないので、フェースダウン用ポンディング用チップとして使用できない。

他方、最近では顧客は個々の品種に対してフェースダウン用チップを要求することが多々あるが、ワイヤポンディング用チップを大量に生産している場合には、新たにフェースダウン用チップの設計およびその生産は経費が多く掛ることと、その必要量が少ない場合にはコスト高となり好ましくない。

したがって、本発明の目的はフェースダウン用チップを安価に製造することにある。

このような目的を達成するために本発明は、ウエハ表面部に回路基板を形成した後、配線層を形成し、さらに配線層におけるポンディングパッド

(3)

そこで、このウエハ2の正面全層をプラズマナイトライド膜からなるバッジーション膜4で被う。

つぎに、ポンディングパッド形成領域上のバッジーション膜4を部分的にエッチング除去してスルーホール5を開ける。このスルーホール5はワイヤポンディング用チップのポンディングパッド形成用のエッチング寸法よりも小さくよい。

つぎに、第2図(b)で示すように、ウエハ2の正面全層に導電層6を設ける。この導電層6は8層構造となり、下層から上層に向って依次ナゲン層(Ti層)₁7、銅層(Cu層)₈、チタン層(Ti層)₉となり、銅層8は数μm、両チタン層7、9は数千Åの厚さにそれぞれ蒸着される。また、この導電層6はペレットとなった状態ではその表面は露出することから少なくとも最上層は耐食性金属で形成される。なお、この導電層6は多層構造でなくともよい。銅とナゲン、銅とクロム、クロムおよびナゲン、クロムと銅およびクロム等でもよい。これらの組合せにおいて先に記した金属が

(5)

(4)

後に記した金属よりも下層となる。

つぎに、前記導電層6上に耐食性樹脂であるポリイミド樹脂を直布、ベーキするとともに、バンプ電極形成領域対応部と後に導電層6が不要となる該領域対応部をエッチング除去し、数μmの厚さのマスク層10を形成する。マスク層10にはバンプ電極形成領域対応部にバンプ孔11が第2図(b)で示すように形成される。

つぎに、第2図(c)で示すように、バンプ孔11部分以外のウエハ正面を数μmの厚さのレジスト層12で被った後、バンプ孔11によって露出する導電層6の最上層のチタン層9をエッチング除去し、露出する鋼層8上にめっきによって順次ニッケル層(Ni層)₁₃、銅層(Cu層)₁₄、鉛層(Pb層)₁₅をそれぞれ数十μmの厚さに被覆させる。

つぎに、レジスト層12を除去した後、加熱してCu層14およびPb層15を溶かしその表面張力をを利用して第3図(d)で示すように牛田からなる $100\mu\text{m}$ 前後の高さの球状のバンプ電極16

(6)
-228-

を形成する(これをウェットパック処理と呼ぶ)。

つぎに、パンプ電極18およびマスク層10をマスクとして露出する導電層6(Ti層7, 鋼層8, Ti層9)をエッティング除去する。この結果、それぞれ独立して残留する導電層6は各配線層1を対応するパンプ電極18に電気的に接続することになる。その後、マスク層10を除去し第2図(d)で示すようなウエハ2とする。マスク層10は除去せず残すことも可である。さらに、ウエハ2を所望ブロック毎に切断分離して所望のチップを得る。

このような方法によれば、ワイヤボンディング時に必要となるボンディングパッド部分から所望の位置に導電層を延長することができることから、フェースポンディング用のパンプ電極を所望の位置に形成することができる。したがって、このような方法でフェースダウンポンディング用チップを形成すれば、ワイヤボンディング用チップの製造工程のはば最終段階での工程を変更し、新たに取工程付け加えるだけでフェースダウンポンディ

ング用チップを製造することができるので、顧客要求に迅速に応えることができるとともに、安価に製造することができる。また、本発明によるチップでは導電層は少なくともその表面は耐食性金属で形成されているため、腐食による断線は生じない。

なお、本発明は前記実施例に限定されない。たとえば、導電層をウエハ全面に設けた後、パンプ電極形成領域以外の導電層上をレジスト層で被い、その保護によってパンプ電極形成域の導電層上にパンプ電極材料となる金属を被覆してもよい。そして、その後レジストを除去し、ウェットパックを行ってパンプ電極を形成し、さらに、レジスト層をウエハ正面に部分的に設け、レジストをマスクとして導電層のパターン化(配線化)を図るようにしてよい。この場合、導電層の表面はウェットパック時に半田が焼れない金属、たとえばナタンとしておく必要がある。また、この実施例ではめっき処理とウェットパック処理との間で導電層の配線化を行なってもよい。

(7)

さらに、本発明のチップにあっては、導電層は配線層のどの場所で接続してもよい。

以上のように、本発明によれば、安価にフェースダウンポンディング用チップを製造することができる。

図面の簡単な説明

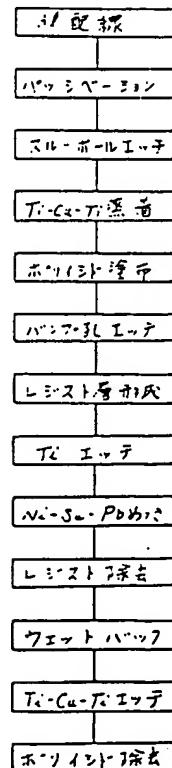
第1図は本発明の一実施例によるチップの製造工程を示す工程図、第2図(a)～(d)は同じく各製造工程でのウエハの一部の断面図である。

1…配線層、2…ウエハ、4…バックペーパー・シート、6…導電層、10…マスク層、11…パンプ孔、12…レジスト層、18…パンプ電極。

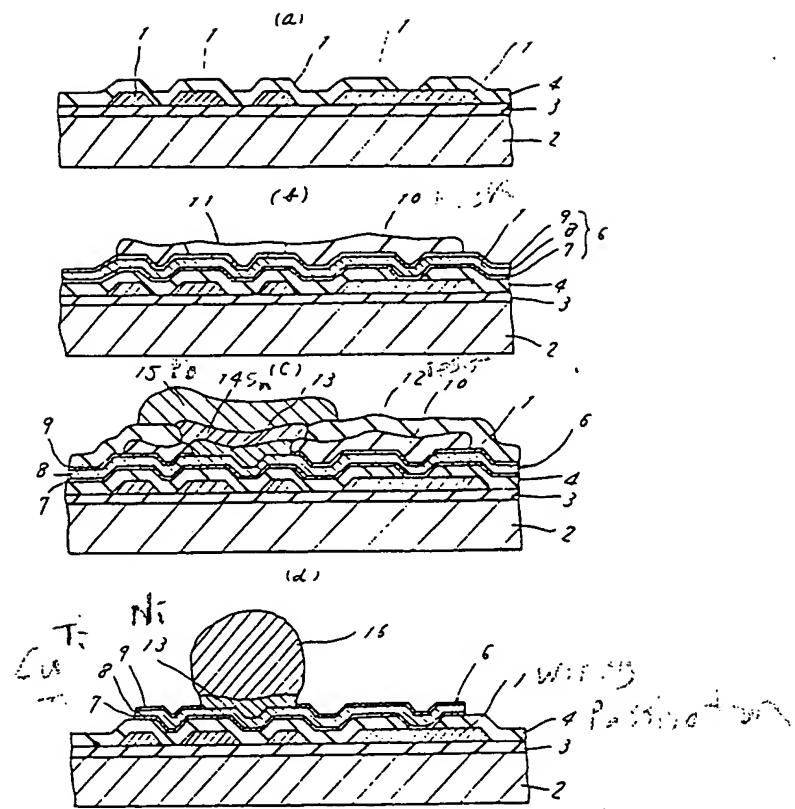
代理人 分國士 藤田利

(8)

第1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
 - LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.